

**拒絶理由通知書**  
Notice of Reasons of refusal



Application Number

2003-278228

特許出願の番号

特願 2003-278228

起案日

平成 18 年 5 月 11 日

特許庁審査官

▲高▼橋 真之 3363 5X00

特許出願人代理人

河宮 治 (外 1名) 様

適用条文

第 29 条第 2 項

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から 60 日以内に意見書を提出して下さい。

理 由

この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第 29 条第 2 項の規定により特許を受けることができない。

記

[引用文献一覧] List of cited documents

- |                     |               |
|---------------------|---------------|
| 1. 特開平 3-117211 号公報 | JP-A-3-117211 |
| 2. 特開平 4-278714 号公報 | JP-A-4-278714 |
| 3. 特開平 5-328746 号公報 | JP-A-5-328746 |

請求項： 1, 4

引用文献： 1, 2

備考：

本願の請求項 1 及び 4 に係る発明は、MOS 系デバイスがターンオン／オフするまでの時間を短くするために（本願の明細書の段落 0013）、ターンオン時の所定の期間、ゲート電流を増大させ、ターンオフ時の所定の期間、ゲート容量の放電電流を増大させることを特徴とすることを特徴とするものであると認められる。

しかしながら、MOS 系トランジスタのスイッチング（ターンオン／オフ）時間を短くするために、スイッチング時の所定の期間、ゲート電流／ゲート容量の放電電流を大きくすることは、周知技術である（例えば、引用文献 1（第 1, 2

図)、及び、引用文献2(図1-4)参照)。

請求項: 2, 3

引用文献: 1-3

備考:

本願の請求項2及び3に係る発明は、MOS系デバイスの主電流が所定値以上の場合はスイッチング損失を低減し、所定値未満の場合はEMIノイズを低減するために(本願の明細書の段落0035)、MOS系デバイスの主電流が所定値未満の場合にゲート電流を大きくすることを特徴とするものであると認められる。

また、引用文献3(図1, 3-5)には、MOS系デバイス(1, 2)の主電流が所定値以上の場合はスイッチング損失を低減し、所定値未満の場合はEMIノイズを低減するために、MOS系デバイスの主電流が所定値未満の場合にゲート電流を大きくする点(8-11)が記載されている。

拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

---

先行技術文献調査結果の記録 Record of prior art search

- ・調査した分野 I P C H 0 3 K 1 7 / 0 0 - 1 7 / 7 0
- ・先行技術文献 特開平5-83100号公報  
特開平6-350425号公報  
特開平7-226663号公報  
特開2000-83371号公報  
特開2001-94406号公報

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。  
This record is not a part of the reasons for the rejection.

この拒絶理由通知の内容に関するお問い合わせ、または面接のご希望がございましたら下記までご連絡下さい。

特許審査第四部 デジタル通信 白井亮  
T E L . 0 3 ( 3 5 8 1 ) 1 1 0 1 内線 3 5 5 6  
F A X . 0 3 ( 3 5 0 1 ) 0 6 9 9

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-117211  
(43)Date of publication of application : 20.05.1991

(51)Int.Cl.

H03K 17/04  
H03K 17/56

(21)Application number : 01-254882  
(22)Date of filing : 29.09.1989

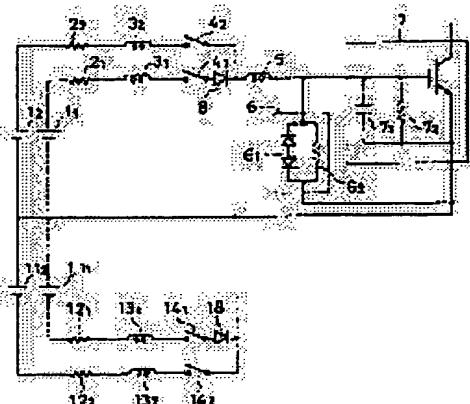
(71)Applicant : TOSHIBA CORP  
(72)Inventor : KAMEI YOSHIO  
TAKEUCHI MINAMI

## (54) DRIVE CIRCUIT FOR SEMICONDUCTOR ELEMENT

### (57)Abstract:

**PURPOSE:** To obtain a semiconductor element drive circuit enabling high speed turn-on and turn-off operation by applying an ON or OFF control signal with a high circuit rising rate to a control electrode terminal of the element with a high voltage power supply.

**CONSTITUTION:** A current from a high voltage power supply 12 has a sufficiently higher rising rate than that of a current from a low voltage power supply 11 and a stray capacitance 71 is charged at a current rising rate in excess of several hundreds of A/ $\mu$ sec depending nearly on the power supply 12. When a charging voltage of the capacitor 71 reaches a threshold voltage of an IGBT7, the IGBT7 reaches the turn-on state. When the charging voltage of the capacitor 71 reaches a limit voltage depending on the voltage limit means 6, then the voltage of the capacitor 71 is kept to the limit voltage afterward. Then the current from the turn-on power supply flows to the means 6 and when the current reaches a value determined by a current limit resistance 22, the current is kept to the value succeedingly. Moreover, the turn-off operation is similar to the turn-on operation by reversing the polarity of voltage and current.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

平3-117211

⑬ Int. Cl.

H 03 K 17/04  
17/56

識別記号

序内整理番号

A 8124-5J  
A 8124-5J

⑭ 公開 平成3年(1991)5月20日

審査請求 未請求 請求項の数 2 (全6頁)

⑮ 発明の名称 半導体素子の駆動回路

⑯ 特願 平1-254882

⑰ 出願 平1(1989)9月29日

⑱ 発明者 龟井 良雄 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑲ 発明者 竹内 南 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

⑳ 出願人 株式会社 東芝 神奈川県川崎市幸区堀川町72番地

㉑ 代理人 弁理士 鈴江 武彦 外3名

明細書

1. 発明の名称

半導体素子の駆動回路

2. 特許請求の範囲

(1) 感流スイッチングを行う制御電極端子付き半導体素子の前記制御電極端子にオン制御信号を供給するオングート駆動回路およびオフ制御信号を供給するオフゲート駆動回路を有し、オングート駆動回路またはオフゲート駆動回路の少なくとも一方が、前記制御電極端子に高い電流上昇率の制御電流を供給する高電圧電源と、この高電圧電源と併設されて前記制御電極端子に前記半導体素子の定常状態を保持するに足る制御電流を供給する低電圧電源と、前記高電圧電源の出力をターンオン初期またはターンオフ初期に前記制御電極端子に供給し、前記低電圧電源の出力を前記半導体素子の定常オン状態または定常オフ状態で前記制御電極端子に供給するスイッチ回路とを有することを特徴とする半導体素子の駆動回路。

(2) 感流スイッチングを行う制御電極端子付き

半導体素子の前記制御電極端子にオン制御信号を供給するオングート駆動回路およびオフ制御信号を供給するオフゲート駆動回路を有し、オングート駆動回路またはオフゲート駆動回路の少なくとも一方が、前記制御電極端子に高い電流上昇率の制御電流を供給する高電圧電源と、この高電圧電源と併設されて前記制御電極端子に前記半導体素子の定常状態を保持するに足る制御電流を供給する低電圧電源と、前記高電圧電源の出力をターンオン初期またはターンオフ初期に前記制御電極端子に供給し、前記低電圧電源の出力を前記半導体素子の定常オン状態または定常オフ状態で前記制御電極端子に供給するスイッチ回路とを有し、かつ、前記制御電極端子に電圧制限手段を有することを特徴とする半導体素子の駆動回路。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、制御電極端子付きの半導体素子をターンオン、ターンオフするための駆動回路に関

する。

(従来の技術)

一般に半導体素子を高周波でスイッチング動作させる場合、浮遊容量や浮遊インダクタンスが高速動作を妨げる大きい原因となる。電力用の電流スイッチング素子であるIGBTを例にとってこのことを以下に図面を用いて説明する。

第3図は、IGBT7とそのゲート駆動回路を示している。1はターンオン用電源、11はターンオフ用電源であり、2, 12は電流制限抵抗であり、4, 14は電源を切り替えるスイッチである。IGBT7のゲート・ソース間に浮遊容量 $C_{GS}$ 、漏れ抵抗 $R_{DS(on)}$ が存在する。ゲート駆動回路内には、高速動作時に問題となる浮遊インダクタンス3, 13, 14が存在する。

第4図はこの様なゲート駆動回路の動作タイミング図である。浮遊インダクタンス3, 13, 14の影響によって、IGBT7のゲートの浮遊容量 $C_{GS}$ の充電、放電の際の電流上昇率が制限されるが、図ではこの電流上昇率の大きい場合を破線で、

駆動を行うためには、高い電流上昇率でオン制御信号を与えることが必要になる。

ところで、オン制御信号の電流上昇率は、電源1の電圧Eと、回路のインダクタンス3, 5の和によって決まり、 $E/L$ で定義される。浮遊インダクタンスの値 $L$ は、回路を組み立てたときの部品や配線のインダクタンスで決まり、物理的な条件からこの値は数百nHとなる。またオン制御信号用の電源1の電圧Eは、IGBT7のゲート・ソース間耐圧より高くすることができないから、これは十数Vである。したがって電流上昇率は、数十A/ $\mu$ sec程度に制限される。なおここでIGBT7のゲート・ソース間耐圧とは、破壊限界ではなく、信頼性を劣化させずに済む許容限界電圧の意である。

ここまで、IGBT7のターンオン動作を説明したが、ターンオフ動作についても、電圧、電流の極性が逆になることを除けば事情は同じである。すなわちオフ制御信号を時刻 $t_0$ に印加したとき、電流上昇率が大きいときのIGBT7のターンオ

小さな場合を実験で示している。時刻 $t_0$ でオン制御信号が与えられたとすると、電流上昇率が小さいときのIGBT7のターンオン開始までの時間 $t_1 - t_0$ 、およびターンオン開始からオフ状態になるまでのスイッチング時間 $t_2 - t_1$ はそれぞれ、電流上昇率が大きい場合のターンオン開始までの時間 $t_1 - t_0$ 、およびターンオン開始からオフ状態までの時間 $t_2 - t_1$ よりも大きい。

オン制御信号を印加したときからIGBT7がターンオン動作を開始するまでの時間 $t_1 - t_0$ 、 $t_1 - t_0$ は無駄時間である。IGBT7の駆動周波数を高くすると、駆動周期に対するこの無駄時間が長くなり、高周波駆動が妨げられることがある。またIGBT7がオフ状態からオフ状態に移行するスイッチング時間 $t_2 - t_1$ 、 $t_2 - t_1$ は、IGBT7の電力損失と密接な関係にあり、このスイッチング時間が長いとIGBT7の電力損失が大きくなってしまうと高周波駆動が出来なくなる。したがって、IGBT7の高周波

開始までの時間 $t_1 - t_0$ 、およびターンオフ開始からオフ状態になるまでのスイッチング時間 $t_2 - t_1$ はそれぞれ、電流上昇率が小さい場合のターンオフ開始までの時間 $t_1 - t_0$ 、およびターンオフ開始からオフ状態までの時間 $t_2 - t_1$ よりも小さい。そしてターンオン動作の場合と同様、IGBT7を高周波駆動しようとすると高い電流上昇率が必要になるが、回路の浮遊インダクタンスとIGBT7の耐圧により制限される電源電圧のため、十分に大きい電流上昇率を得ることが出来ない。

IGBT7がオン或いはオフの定常状態になつた後は、ゲート・ソース間の漏れ抵抗 $R_{DS(on)}$ にそれぞれ、第4図に示す微小電流 $I_{DS(on)}$ ,  $I_{DS(on)}$ が供給されれば良い。この点でIGBTは電圧制御型と呼ばれる。

ゲート部がpn接合で構成されるGTO等の電流スイッチング素子でも同様の問題がある。GTOは電流制御型と呼ばれ、IGBTとは異なって定常状態を保つための制御磁流を多く必要と

する。しかし、高速駆動を行うためにはゲート駆動回路に高い電流上昇率を必要とすること、それが耐圧や回路の浮遊インダクタンス等によって制限されること、はIGBTの場合と同じである。

(発明が解決しようとする課題)

以上のように、制御電極端子付き半導体素子を高速にターンオン、ターンオフ駆動しようとすると、ゲート駆動には高い電流上昇率が要求されるが、素子の耐圧から電源電圧を高くすることが制限され、また駆動回路の浮遊インダクタンスが無視できないため、十分に高い電流上昇率を得ることができない、という問題があった。

本発明はこの様な問題を解決して、高速のターンオン、ターンオフ動作を可能とした半導体素子の駆動回路を提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

本発明に係る半導体素子の制御駆動回路では、オンゲート駆動回路またはオフゲート駆動回路の少なくとも一方について、高い電流上昇率を得る

符号をして詳細な説明は省略する。

オンゲート駆動回路側の電源は、併設された低電圧電源1<sub>1</sub>と高電圧電源1<sub>2</sub>により構成されている。これらの電源出力はそれぞれ電流制限抵抗2<sub>1</sub>, 2<sub>2</sub>を介し、MOSFET等の切り替えスイッチ4<sub>1</sub>, 4<sub>2</sub>を介してIGBT7のゲート端子に供給されるようになっている。高電圧電源1<sub>2</sub>は、数百A/ $\mu$ secを越える電流上昇率の電流をIGBT7に供給できるように、その出力電圧がIGBT7のゲート・ソース間耐圧を越える値に設定されている。低電圧電源1<sub>1</sub>は、IGBT7の定常オフ状態を維持するに十分な電流を供給できる値に設定されている。ダイオード8, 18はそれぞれ、高電圧電源1<sub>2</sub>, 1<sub>1</sub>から低電圧電源1<sub>1</sub>, 1<sub>2</sub>への電流の回り込みを防止する逆流素子として設けられている。

オフゲート駆動回路側も同様に、低電圧電源1<sub>1</sub>と高電圧電源1<sub>2</sub>とから構成され、これらが電流制限抵抗1<sub>2</sub>, 1<sub>1</sub>を介し、MOSFET等の切り替えスイッチ1<sub>4</sub>, 1<sub>4</sub>を介してIGBT7のゲート端子に供

ための高電圧電源と、これと併設されて素子の定常状態を保持するための用いられる低電圧電源を有する。そしてこれらの電源を時間制御して素子の制御電極端子に供給するためのスイッチ回路が設けられる。また高電圧電源から素子の耐圧を越える電圧が印加されるのを防止するため、好ましくは素子の制御電極端子に電圧制限手段が設けられる。

(作用)

本発明によれば、高電圧電源によって高い電流上昇率のオン制御信号またはオフ制御信号を素子の制御電極端子に供給することができ、高速のターンオン、ターンオフ動作ができる。素子の制御電極端子に電圧制限手段を設ければ、高電圧電源の出力電圧が素子の耐圧を超えるものであっても、素子の破壊や信頼性低下は防止される。

(実施例)

以下、本発明の実施例を説明する。

第1図は一実施例のIGBTゲート駆動回路である。第3図と対応する部分には第3図と同一

給されるようになっている。高電圧電源1<sub>1</sub>は、数百A/ $\mu$ secを越える電流上昇率の電流をIGBT7に供給できるように、その出力電圧がIGBT7のゲート・ソース間耐圧を越える値に設定されている。低電圧電源1<sub>1</sub>は、IGBT7の定常オフ状態を維持するに十分な電流を供給できる値に設定されている。ダイオード8, 18はそれぞれ、高電圧電源1<sub>2</sub>, 1<sub>1</sub>から低電圧電源1<sub>1</sub>, 1<sub>2</sub>への電流の回り込みを防止する逆流素子として設けられている。

IGBT7のゲート・ソース間にツェナー・ダイオードの逆並列回路6<sub>1</sub>を用いた電圧制限手段6が設けられている。高電圧電源1<sub>2</sub>, 1<sub>1</sub>の出力電圧がIGBT7のゲート・ソース間に直接印加されると、IGBT7が破壊し、或いは信頼性が低下するためである。

IGBT7のゲート・ソース間に浮遊容量7<sub>1</sub>, 離れ抵抗7<sub>2</sub>が存在し、ゲート駆動回路内には浮遊インダクタンス3<sub>1</sub>, 3<sub>2</sub>, 1<sub>3</sub>, 1<sub>3</sub>, 5が存在し、電圧制限手段6にも並列に

漏れ抵抗 $6_2$ が存在する。

このように構成されたゲート駆動回路の動作を、第2図のタイミング図を用いて次に説明する。ターンオン時は、時刻 $t_1$ でスイッチ $4_1$ 、 $4_2$ がオンし、ターンオン用電源 $1_1$ 、 $1_2$ からIGBT7のゲート・ソース間の浮遊容量 $7_1$ に電流が供給される。高電圧電源 $1_2$ からの電流が低電圧電源 $1_1$ からの電流より十分に上昇率が高く、ほぼ高電圧電源 $1_2$ で決まる数百A/ $\mu$ secを越える電流上昇率をもって浮遊容量 $7_1$ が充電される。この浮遊容量 $7_1$ の充電電圧がIGBT7のしきい値電圧に達すると、IGBT7はターンオン状態に入る(時刻 $t_1'$ )。その後浮遊容量 $7_1$ の充電電圧が電圧制限手段6により決まる制限電圧 $v_s$ に達すると(時刻 $t_2$ )、それ以後浮遊容量 $7_1$ の電圧は制限電圧 $v_s$ に保持される。この後ターンオン用電源からの電流は、電圧制限手段6に流れることになり、この電流が電源制限抵抗 $2_1$ で決まる値 $i_{ss}$ に達すると、以後電流はその値に保持される。

て考えればターンオン動作と同様である。すなわち時刻 $t_1$ でオングート駆動回路側のスイッチ $4_1$ をオフ、オングート駆動回路側のスイッチ $1_4_1$ 、 $1_4_2$ をオンとする。ターンオフ用の高電圧電源 $1_1$ ではほぼ決まる大きい電流上界率でIGBT7にオフゲート信号が供給され、時刻 $t_1'$ でターンオフ状態に入り、時刻 $t_2$ でIGBT7に印加される電圧が制限される。その後適当な時刻 $t_3$ でスイッチ $1_4_2$ がオフとなり、高電圧電源 $1_2$ からの無駄な電流供給が停止される。すなわち定常オフ状態でのゲート・ソース間の漏れ抵抗 $7_2$ に流れる電流 $i_{ss}$ および電圧制限手段6の漏れ抵抗 $6_2$ に流れる電流 $i_{ss}$ は低電圧電源 $1_1$ により決まる小さい値に保たれる。

なお第2図に示したように、ターンオン時の時刻 $t_1$ およびターンオフ時の時刻 $t_2$ 付近で、過渡的に電圧制限手段6による制限電圧以上での電圧が発生する。しかしこの過電圧発生は極めて短時間のものであるので、IGBT7の特性に影響

なお、ゲート・ソース間の浮遊容量 $7_1$ の電圧が制限電圧 $v_s$ に達した後は、ターンオン用電源から供給される電流はIGBT7のターンオン動作に不要の電流である。そこで時刻 $t_2$ 後の適当な時刻 $t_3$ でスイッチ $4_2$ をオフとして無駄な電流の供給を防止している。すなわちターンオン用電源のうち高電圧電源 $1_2$ はターンオン初期にのみ用いられる。

時刻 $t_2$ 以降は、低電圧電源 $1_1$ からの電流のみが供給され、IGBT7のゲート・ソース間電圧は一定値に保持される。このとき、電圧制限手段6の電圧制限値を、低電圧電源 $1_1$ の出力電圧値とほぼ等しいか、それより僅かに高い値に設定しておけば、電圧制限手段6にはほとんど電流を流す必要はない。定常オン状態でのゲート・ソース間の漏れ抵抗 $7_2$ に流れる電流 $i_{ss}$ および、電圧制限手段6の漏れ抵抗 $6_2$ に流れる電流 $i_{ss}$ は、低電圧電源 $1_1$ による小さい電流に保持される。

ターンオフ動作は、電圧、電流の極性を逆転し

を与えることはない。

こうしてこの実施例によれば、IGBT7のターンオン初期およびターンオフ初期に高電圧電源 $1_2$ 、 $1_1$ によって数百A/ $\mu$ secの高い電流上界率の電流が供給され、これによりIGBT7の高速スイッチング動作が可能になる。高電圧電源 $1_2$ 、 $1_1$ はそれぞれターンオン初期およびターンオフ初期にのみ用いられるので、それ程の電流容量は必要とせず、したがって駆動回路の大容量化やコスト上昇をもたらさない。またこれらの高電圧電源 $1_2$ 、 $1_1$ の出力電圧値がIGBT7の耐圧を越えるものであっても、電圧制限手段6によってそれが直接ゲート・ソース間に印加されることなく、IGBT7の信頼性を損なうことはない。

本発明は上記実施例に限られるものではない。例えば実施例では、IGBTの駆動回路を説明したが、MOSFETや絶縁ゲート型サイリスタ等他の電圧駆動型の電流スイッチング素子、さらにGTRやGTO等の電流駆動型の電流スイッチ

ゲートに同様に本発明を適用することができる。また実施例では、ターンオン、ターンオフの両方とも高速化する場合を説明したが、本発明はオンゲート駆動回路またはオフゲート駆動回路のいずれか一方のみに適用しても有効である。さらに実施例では電圧制限手段としてツエナーダイオードを用いたが、他の非線形特性を持つ電圧制限素子を用いてもよいし、或いは単に抵抗を用いて電流制限用抵抗 $2_1, 2_2, 12_1, 12_2$ との分圧により制限電圧を得るようにしてよい。さらにまた、素子の耐圧が十分大きい場合には、電圧制限手段は必ずしも設けなくてもよく、その場合でも高い電流上昇率を得るために高電圧電源と定常状態を維持するための低電圧電源の二種を用意することは有効である。

その他本発明はその逆を逸脱しない範囲で組み変形して実施することができる。

#### 【発明の効果】

以上述べたように本発明によれば、ゲート駆動回路に高電圧電源と低電圧電源を設けることによ

って、制御電極端子付きの半導体素子の高速スイッチング動作をおこなわせる事ができる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例のIGBT駆動回路を示す図。

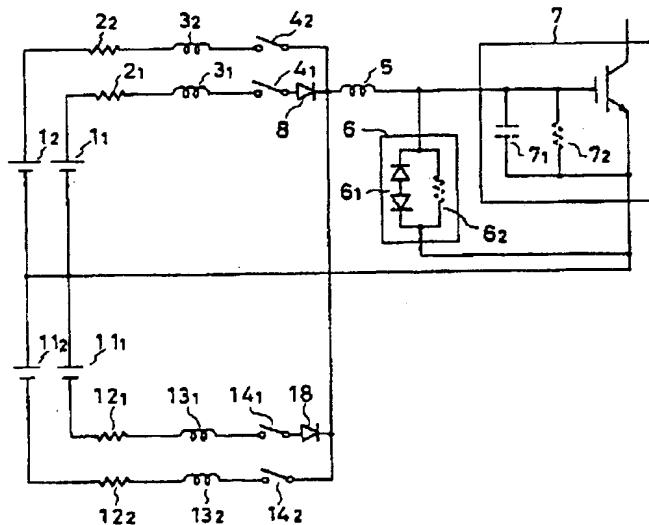
第2図はその動作を説明するためのタイミング図。

第3図は従来のIGBT駆動回路を示す図。

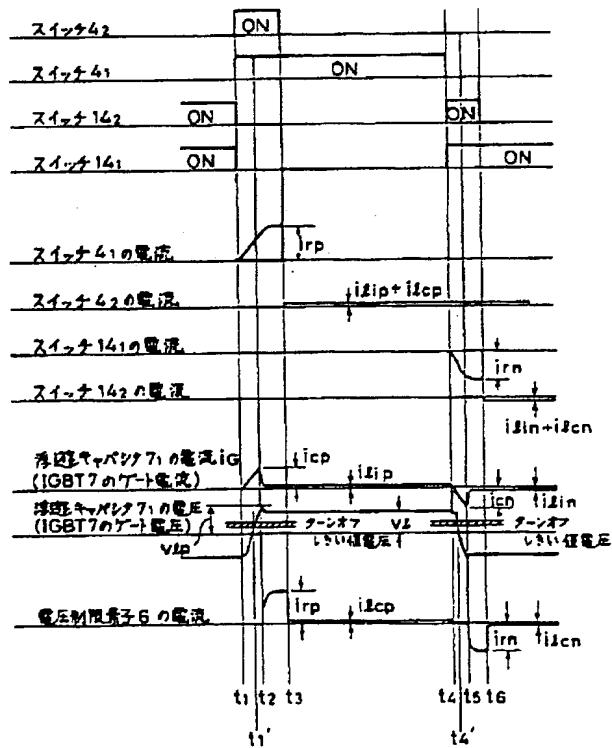
第4図はその動作を説明するためのタイミング図である。

1…低電圧電源(オンゲート)、1'…高電圧電源(オンゲート)、11…低電圧電源(オフゲート)、11'…高電圧電源(オフゲート)、2…電流制限抵抗、4…スイッチ、6…電圧制限手段、7…IGBT、8…逆流素子ダイオード。

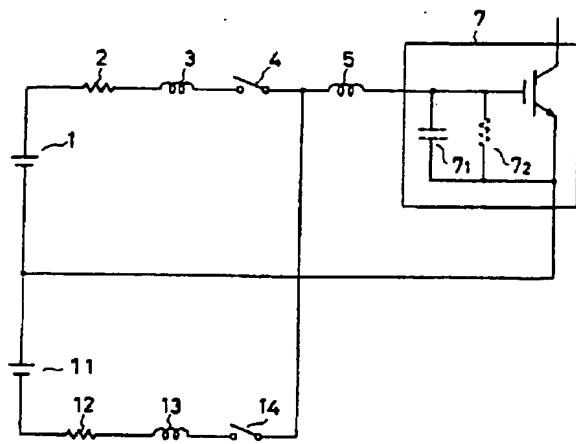
出願人代理人 弁理士 鈴江 武彦



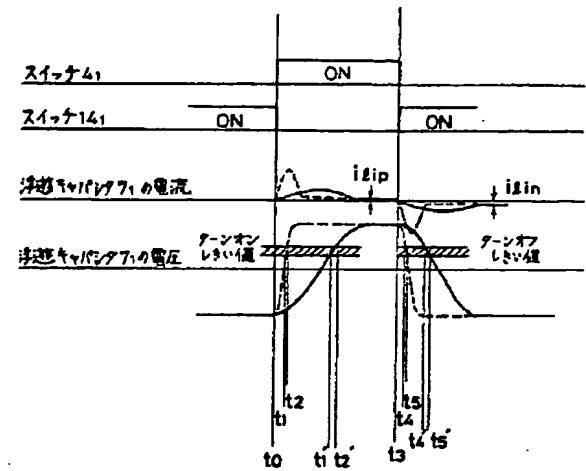
第1図



第2図



第 3 図



第 4 図